



#5

Docket No.: GR 98 P 4137 P

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: March 13, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hans-Jürgen Hacke et al.
Appl. No. : 09/761,594
Filed : January 16, 2001
Title : Semiconductor Device in Chip Format and Method for
Producing It

CLAIM FOR PRIORITY

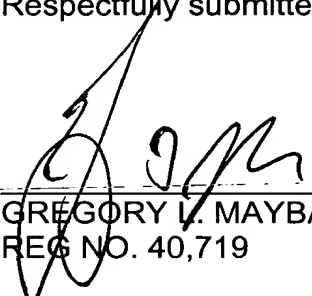
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 32 706.4 filed July 14, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG NO. 40,719

Date: March 13, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 198 32 706.4

Anmeldetag: 14. Juli 1998

Anmelder/Inhaber: Siemens AG, München/DE

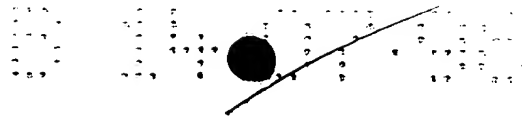
Bezeichnung: Halbleiterbauelement im Chip-Format
und Verfahren zu seiner Herstellung

IPC: H 01 L 23/538

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Februar 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

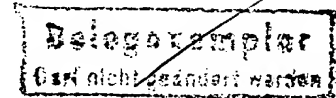
Wehner



3

13

Zusammenfassung



Halbleiterbauelement im Chip-Format und Verfahren zu seiner Herstellung

5

Die Erfindung bezieht sich auf ein Halbleiterbauelement im Chip-Format mit einem Chip, der mindestens eine erste Isolierschicht (3) und davon freie elektrische Anschlußflächen (2) aufweist. Auf der ersten Isolierschicht (3) verlaufen
10 Leiterbahnen (5) von den elektrischen Anschlußflächen (2) zu Fußbereichen (10) äußerer Anschlußelemente (12). Eine weitere aufgebraachte Isolierschicht (8) ist mit Durchgangsöffnungen (9) versehen, die von außen zu den Fußbereichen (10) der äußeren Anschlußelemente (12) führen. In den Durchgangsöffnungen (9) befindet sich ein Leitkleber (11), auf den mindestens
15 außen metallene Kügelchen (12) aufgesetzt sind.

Das Halbleiterelement kann in den Durchgangsöffnungen (9) anstelle eines Leitklebers auch eine Lotpaste enthalten, auf
20 die metallisierte Kunststoffkügelchen aufgesetzt sind.

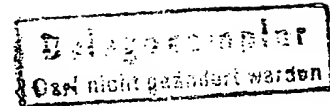
Die Erfindung bezieht sich ferner auf Verfahren zum Herstellen des beschriebenen Halbleiterbauelementes.

25 FIG 9



4

1



Beschreibung

Halbleiterbauelement im Chip-Format und Verfahren zu seiner Herstellung

5

Aus der veröffentlichten europäischen Patentanmeldung EP 0 734 059 A2 ist ein sogenanntes Chip-size-Halbleiterbauelement bekannt, also ein Halbleiterbauelement im Chip-Format, das sich dadurch auszeichnet, daß es in seinen flächigen Abmessungen im wesentlichen denen des Chips entspricht und nur in der Höhe größer als der Chip ist. Bei dem bekannten Halbleiterbauelement sind die äußeren Anschlüsse oberhalb der Oberfläche des eigentlichen Chip angebracht, indem der Chip auf einer Oberfläche neben einer Passivierungsschicht eine erste Isolierschicht und von diesen Isolierschichten freie elektrische Anschlußflächen aufweist; mit diesen elektrischen Anschlußflächen ist die innerhalb des Chips angeordnete Elektronik elektrisch verbunden. Auf der ersten Isolierschicht verlaufen Leiterbahnen, die von den elektrischen Anschlußflächen ausgehen und an Fußpunkten äußerer Anschlußelemente enden. Die äußeren Anschlußelemente sind bei dem bekannten Halbleiterbauelement von jeweils einer Lotkugel gebildet, die durch eine Öffnung in einer weiteren Isolierschicht bis zu der Leiterbahn reicht und dort ihren Fußpunkt hat. Die äußeren Anschlußelemente in Form der Lotkugeln sind dabei so angeordnet, wie es dem Raster von Löt-

10
15
20
25

30

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterbauelement im Chip-Format vorzuschlagen, das eine vergleichsweise gute mechanische Entkopplung von einer gedruckten Leiterplatte ermöglicht, wenn das Halbleiterbauelement auf die Leiterplatte aufgelötet ist.

35

Diese Aufgabe wird erfindungsgemäß durch ein Halbleiterbauelement im Chip-Format mit einem Chip gelöst, der auf mindestens einer Oberfläche mindestens eine erste Isolierschicht und von dieser Isolierschicht freie elektrische Anschlußflächen aufweist; der Chip ist ferner versehen mit auf der ersten Isolierschicht verlaufenden Leiterbahnen, die jeweils von den elektrischen Anschlußflächen zu Fußbereichen äußerer Anschlußelemente führen, mit einer auf den Leiterbahnen und auf der mindestens einen ersten Isolierschicht befindlichen weiteren Isolierschicht, die oberhalb des jeweiligen Fußbereichs eine Durchgangsöffnung mit eingebrachten Leitkleber aufweist, und mit mindestens außen metallenen Kugeln, die jeweils im Bereich des freien Endes der Durchgangsöffnungen auf den Leitkleber aufgesetzt sind.

Ein wesentlicher Vorteil des erfindungsgemäßen Halbleiterbauelementes ergibt sich durch den in die Durchgangsöffnungen der weiteren Isolierschicht eingebrachten Leitkleber, weil ein solcher Leitkleber auch nach seiner Aushärtung vergleichsweise gute elastische Eigenschaften aufweist, so daß beispielsweise durch eine Erwärmung eines aus einer gedruckten Leiterplatte und dem Halbleiterbauelement gebildeten Verbundes mit einhergehenden unterschiedlichen thermischen Beanspruchungen diese Beanspruchungen von den Verbindungsstellen zwischen dem Halbleiterbauelement und der Leiterplatte ferngehalten werden. Hinzukommt, daß der ausgehärtete Leitkleber ein verhältnismäßig gutes Alterungsverhalten bei mechanischer Wechsellast aufweist.

Bei einer vorteilhaften Ausgestaltung des erfindungsgemäßen Halbleiterbauelementes ist die weitere Isolierschicht erheblich dicker als die mindestens eine erste Isolierschicht ausgeführt. Dies schafft die vorteilhafte Möglichkeit, relativ viel Leitkleber in die Durchgangsöffnung einzufüllen, wodurch

sich nach Aushärtung relativ lange Zylinder aus dem Leitklebmaterial bilden, die zur guten mechanischen Entkopplung von einer durch Löten mit dem Halbleiterbauelement verbundenen Leiterplatte vorteilhaft beitragen.

5

Bei einer besonders vorteilhaften Ausführungsform des erfindungsgemäßen Halbleiterbauelementes sind die mindestens außen metallenen Kügelchen metallisierte Kunststoffkügelchen. Derartige Kügelchen zeichnen sich durch eine hohe Elastizität aus, so daß sie ganz wesentlich zur mechanischen Entkopplung des Halbleiterbauelementes von einer mit dem Halbleiterbauelement bestückten, gedruckten Leiterplatte beitragen. An sich ist es aus der US-Patentschrift 5,477,087 bekannt, zur Verbindung von Halbleiterbauelementen mit Leiterplatten Anschlußelemente zu verwenden, die einen Kunststoffkern mit Metallüberzug aufweisen, jedoch sind diese Anschlußelemente über eine Metallschicht mit der Anschlußfläche des Chips verbunden.

10

15

20

25

30

Eine weitere Lösung der oben angegebenen Aufgabe besteht erfindungsgemäß in einem Halbleiterbauelement im Chip-Format mit einem Chip, der auf mindestens einer Oberfläche mindestens eine erste Isolierschicht und von dieser Isolierschicht freie elektrische Anschlußflächen aufweist; der Chip ist ferner versehen mit auf der ersten Isolierschicht verlaufenden Leiterbahnen, die jeweils von den elektrischen Anschlußflächen zu Fußbereichen äußerer Anschlußelemente führen, mit einer auf den Leiterbahnen und auf der mindestens einen ersten Isolierschicht befindlichen weiteren Isolierschicht, die oberhalb des jeweiligen Fußbereichs eine Durchgangsöffnung mit eingebrachter Lotpaste aufweist, und mit metallisierten Kunststoffkügelchen, die jeweils im Bereich des freien Endes der Durchgangsöffnungen auf die Lotpaste aufgesetzt sind.

35

Auch diese Ausführungsform zeichnet sich durch gute mechanische Entkopplungseigenschaften zwischen einer gedruckten Leiterplatte und dem aufgelöteten Halbleiterbauelement gemäß der Erfindung aus, was auf die Verwendung der metallisierten

5 Kunststoffkügelchen zurückzuführen ist; diese haben nämlich verhältnismäßig gute elastische Eigenschaften und nehmen daher die mechanische Spannungen zwischen der gedruckten Leiterplatte und dem Halbleiterelement auf.

10 Auch bei dieser Ausführungsform wird es als vorteilhaft angesehen, wenn die weitere Isolierschicht erheblich dicker als die mindestens eine Isolierschicht ist, weil die umgeschmolzene Lotpaste einen verhältnismäßig langen Zylinder mit dem metallisierten Kunststoffkügelchen an seinem Ende bildet, was
15 zu einer guten mechanischen Entkopplung zwischen gedruckter Leiterplatte und Halbleiterbauelement beiträgt.

Der Erfindung liegt ferner die Aufgabe zugrunde, ein Verfahren zum Herstellen eines Halbleiterbauelementes im Chip-Format anzugeben, mit dem sich auf vergleichsweise einfache
20 Weise Halbleiterbauelemente herstellen lassen, die gute mechanische Entkopplungseigenschaften aufweisen.

Eine Lösung dieser Aufgabe besteht in einem Verfahren, bei dem auf mindestens eine Oberfläche des Chip mindestens eine
25 erste Isolierschicht unter Freilassung elektrischer Anschlußflächen aufgebracht werden, auf die mindestens eine erste Isolierschicht zu jeweils einem Fußbereich äußerer Anschlußelemente führende Leiterbahnen aufgebracht werden, auf
30 die Leiterbahnen und auf die mindestens eine erste Isolierschicht eine weitere Isolierschicht mit Durchgangsöffnungen oberhalb des jeweiligen Fußbereichs vorgesehen werden, in die Durchgangsöffnungen Leitkleber eingebracht wird, mindestens außen metallene Kügelchen jeweils im Bereich des freien Endes

der Durchgangsöffnungen auf den Leitkleber aufgesetzt werden und der Leitkleber ausgehärtet wird.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß mit ihm Halbleiterbauelemente mit mechanischen Entkopplungseigenschaften auf vergleichsweise einfache Weise hergestellt werden können, weil das Einbringen eines Leitklebers in die Durchgangsöffnungen der weiteren Isolierschicht und auch das Aufsetzen mindestens außen metallener Kugeln auf den Leitkleber verhältnismäßig einfach verfahrenstechnisch durchgeführt werden kann.

Eine andere Ausführungsform des erfindungsgemäßen Verfahrens besteht in einem Verfahren, bei dem auf mindestens eine Oberfläche des Chip mindestens eine erste Isolierschicht unter Freilassung elektrischer Anschlußflächen aufgebracht werden, auf die mindestens eine erste Isolierschicht zu jeweils einem Fußbereich äußerer Anschlußelemente führende Leiterbahnen aufgebracht werden, auf die Leiterbahnen und auf die mindestens eine erste Isolierschicht eine weitere Isolierschicht mit Durchgangsöffnungen oberhalb des jeweiligen Fußbereichs vorgesehen werden, in die Durchgangsöffnungen Lotpaste eingebracht wird, außen metallisierte Kunststoffkugeln jeweils im Bereich des freien Endes der Durchgangsöffnungen auf die Lotpaste aufgesetzt werden und die Lotpaste umgeschmolzen wird.

Die erfindungsgemäßen Verfahren lassen sich besonders einfach dann durchführen, wenn der Leitkleber oder die Lotpaste in die Durchgangsöffnungen eingerakelt wird, weil das Einrakeln ein vergleichsweise einfacher Prozeßschritt ist. Für sich allerdings ist das Einrakeln von Lotpaste bereits bekannt, wie aus der veröffentlichten japanischen Patentanmeldung 6-232134 hervorgeht, die in der Dokumentation „Flip-Chip-Technologie, Vol. VII-1995 Update Foreign Patents“, des Ver-

lages International Interconnetion Intelligence, Seite 256 behandelt ist.

- Besonders vorteilhaft läßt sich das erfindungsgemäße Verfahren dann durchführen, wenn die Verfahrensschritte an einem Wafer durchgeführt werden und nach dem Aushärten des Leitleiters oder dem Umschmelzen der Lotpaste ein Zertrennen des Wafers unter Gewinnung der Halbleiterbauelemente erfolgt.
- 5 Dies führt zu einer wesentlichen Kostenreduzierung, weil die einzelnen Verfahrensschritte nicht individuell bei jedem Chip, sondern gewissermaßen im Chipverbund durchgeführt werden, der von einem Wafer dargestellt wird.
- 10 Zur Erläuterung der Erfindung sind in den Figuren 1 bis 9 die verschiedenen Verfahrensschritte bei der Durchführung eines Ausführungsbeispiels des erfindungsgemäßen Verfahrens dargestellt.
- 15 Die Figur 1 zeigt einen Ausschnitt aus einem Chip 1, der in üblicher Weise mit elektrischen Anschlußflächen 2, die häufig auch als Pads bezeichnet werden, versehen ist. Von den vielen Anschlußflächen 2 ist in der Figur 1 nur eine einzige der besseren Übersichtlichkeit halber dargestellt. Auf den Chip 1 ist eine Passivierungsschicht 3 in üblicher Weise so aufgebracht, daß sie die elektrischen Anschlußflächen 2 freiläßt.
- 20 25

- Auf den soweit vorbereiteten Chip 1 wird in einem nächsten, in der Figur 2 dargestellten Verfahrensschritt eine Metallschicht 4 aufgebracht. Das Aufbringen kann durch eine Dünnschichtmetallisierung erfolgen, ggf. mit anschließender Verstärkung der Schicht 4 auf galvanischem Wege. Die Schicht 4 kann auch als ein Mehrschichtsystem aufgebaut sein. Wie die
- 30

Figur 2 erkennen läßt, ist die Metallschicht 4 über den gesamten Chip 1 an seiner Oberseite aufgebracht.

Anschließend erfolgt - wie Figur 3 zeigt - eine Strukturierung der Metallschicht 4, wodurch Leiterbahnen 5 gebildet werden, die von den elektrischen Anschlußflächen 2 zu später noch näher beschriebenen Fußbereichen äußerer Anschlußelemente führen.

Die Figur 4 läßt erkennen, daß nach dem Strukturieren der Metallschicht 4 unter Bildung der Leiterbahnen 5 eine weitere Passivierungsschicht 6 auf den Chip 1 aufgebracht wird. Diese weitere Passivierungsschicht 6 deckt somit die Leiterbahnen 5 ab und verstärkt auch den Schutz der durch die erste Passivierungsschicht 3 gegeben ist.

Die Figur 5 läßt erkennen, daß danach die weitere Passivierungsschicht 6 unter Bildung einer Öffnung 7 geöffnet wird, was fototechnisch oder durch Laseranwendung geschehen kann.

Vorzugsweise durch Siebdrucken, Schleudern oder Auflaminieren wird eine weitere Isolierschicht 8 auf den Chip 1 bzw. die weitere Passivierungsschicht 6 aufgebracht. Diese weitere Isolierschicht 8 ist erheblich dicker als die Passivierungsschicht 3; zusammen mit der weiteren Passivierungsschicht 6 ist sie etwa mindestens sechsmal so stark wie die Passivierungsschicht 3. Dies zeigt deutlich die Figur 6.

Die Figur 7 läßt erkennen, daß nach dem durch die Figur 6 dargestellten Verfahrensschritt die weitere Isolierschicht 8 unter Bildung eines Durchgangsloches 9 geöffnet wird, so daß sie einen freien Zugang zu einem Fußbereich 10 eines noch nicht gebildeten äußeren Anschlußelementes zuläßt. Das Öffnen der weiteren Isolierschicht 8 kann wiederum fototechnisch oder durch einen Laser erfolgen. Es ist aber auch möglich,

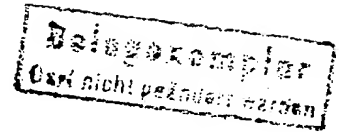
die Öffnung 9 durch Anwendung eines Siebdruckes oder gelochten Filmes von vornherein vorzusehen, so daß dann ein Öffnen nicht erforderlich ist.

5 Anzumerken ist, daß das Aufbringen der weiteren Passivierungsschicht 6 und der weiteren Isolierschicht 8 auch gemeinsam erfolgen kann, so daß dann in einem einzigen Verfahrensschritt die Durchgangsöffnung 9 durch Freilegung der einzigen weiteren isolierenden Schicht oberhalb des Fußbereiches 10
10 erfolgen kann.

Nachdem der Chip 1 soweit vorbereitet ist, wie es die Figur 7 zeigt, wird die Durchgangsöffnung 9 mit leitfähigem Material gefüllt, bei dem es sich um eine Lotpaste oder einen Leitleber handeln kann. Vorzugsweise wird das leitfähige Material
15 eingerakelt. Als Schablone kann dabei die weitere Isolierschicht 8 dienen.

Schließlich wird - wie Figur 9 zeigt - auf das in der Durchgangsöffnung 9 befindliche leitfähige Material 11 eine zumindest außen metallene Kugel 12 aufgesetzt, und es wird anschließend im Falle der Verwendung einer Lotpaste ein Umschmelzen vorgenommen oder im Falle der Verwendung eines Leitlebers ein Aushärten durchgeführt. Bei dem mindestens
20 außen metallisierten Kügelchen 12 kann es sich - wie in Figur 9 dargestellt - um ein Kunststoffkügelchen handeln, das einen inneren Körper 13 aus Kunststoff aufweist, der außen mit einer Metallschicht 14 überzogen ist. Die Verwendung derartiger Lotkügelchen 12 ist sowohl bei der Verwendung von Lotpaste
25 als auch von Leitleber möglich.
30

Im Falle der Verwendung eines Leitlebers sind auch Kügelchen verwendbar, die voll aus Metall bestehen. Durch den Leitleber werden nämlich ausreichende elastische Eigenschaften bereitgestellt.
35



Patentansprüche

1. Halbleiterbauelement im Chip-Format mit einem Chip (1) mit
 - mindestens einer ersten Isolierschicht (3) und von dieser
 - 5 Isolierschicht (3) freien elektrischen Anschlußflächen (2) auf mindestens einer Oberfläche aufweist, mit
 - auf der ersten Isolierschicht (3) verlaufenden Leiterbahnen (5), die
 - jeweils von den elektrischen Anschlußflächen (2) zu
 - 10 Fußbereichen (10) äußerer Anschlußelemente (11, 12) führen, mit
 - einer auf den Leiterbahnen (5) und auf der mindestens einen ersten Isolierschicht (3) befindlichen weiteren Isolierschicht (8),
 - 15 - die oberhalb des jeweiligen Fußbereichs (10) eine Durchgangsöffnung (9) mit eingebrachten Leitkleber (11) aufweist, und mit
 - mindestens außen metallenen Kügelchen (12), die jeweils im Bereich des freien Endes der Durchgangsöffnungen (9) auf
 - 20 den Leitkleber (11) aufgesetzt sind.
2. Halbleiterbauelement nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t, daß
 - die weitere Isolierschicht (8) erheblich dicker als die
 - 25 mindestens eine erste Isolierschicht (3) ist.
3. Halbleiterbauelement nach Anspruch 1,
 - d a d u r c h g e k e n n z e i c h n e t, daß
 - die mindestens außen metallenen Kügelchen metallisierte
 - 30 Kunststoffkügelchen (12) sind.
4. Halbleiterbauelement im Chip-Format mit
 - einem Chip, der

10

- auf mindestens einer Oberfläche mindestens eine erste Isolierschicht und von dieser Isolierschicht freie elektrische Anschlußflächen aufweist, mit
- auf der ersten Isolierschicht verlaufenden Leiterbahnen,
5 die
 - jeweils von den elektrischen Anschlußflächen zu Fußbereichen äußerer Anschlußelemente führen, mit
- einer auf den Leiterbahnen und auf der mindestens einen ersten Isolierschicht befindlichen weiteren Isolierschicht,
10
 - die oberhalb des jeweiligen Fußbereichs eine Durchgangsöffnung mit eingebrachter Lotpaste aufweist, und mit
- metallisierten Kunststoffkügelchen, die jeweils im Bereich des freien Endes der Durchgangsöffnungen auf die Lotpaste
15 aufgesetzt sind.

5. Halbleiterbauelement nach Anspruch 4,

d a d u r c h g e k e n n z e i c h n e t, daß

- die weitere Isolierschicht erheblich dicker als die mindestens eine erste Isolierschicht ist.

6. Verfahren zum Herstellen eines Halbleiterbauelementes im Chip-Format mit einem Chip (1), bei dem

- auf mindestens eine Oberfläche des Chips (1) mindestens
25 eine erste Isolierschicht (3) unter Freilassung elektrischer Anschlußflächen (2) aufgebracht wird,
- auf die mindestens eine erste Isolierschicht (3) zu jeweils einem Fußbereich (10) äußerer Anschlußelemente (11, 12) führende Leiterbahnen (5) aufgebracht werden,
- 30 - auf die Leiterbahnen (5) und auf die mindestens eine erste Isolierschicht (3) eine weitere Isolierschicht (8) mit Durchgangsöffnungen (9) oberhalb des jeweiligen Fußbereichs (10) vorgesehen werden,

11

- in die Durchgangsöffnungen (9) Leitleber (11) eingebracht wird,
- mindestens außen metallene Kugelchen (12) jeweils im Bereich des freien Endes der Durchgangsöffnungen (9) auf den Leitleber (11) aufgesetzt werden und
- der Leitleber (11) ausgehärtet wird.

7. Verfahren zum Herstellen eines Halbleiterbauelementes im Chip-Format mit einem Chip, bei dem

- auf mindestens eine Oberfläche des Chip mindestens eine erste Isolierschicht unter Freilassung elektrischer Anschlußflächen aufgebracht wird,
- auf die mindestens eine erste Isolierschicht zu jeweils einem Fußbereich äußerer Anschlußelemente führende Leiterbahnen aufgebracht werden,
- auf die Leiterbahnen und auf die mindestens eine erste Isolierschicht eine weitere Isolierschicht mit Durchgangsöffnungen oberhalb des jeweiligen Fußbereichs vorgesehen werden,
- in die Durchgangsöffnungen Lotpaste eingebracht wird,
- metallisierte Kunststoffkugelchen jeweils im Bereich des freien Endes der Durchgangsöffnungen auf die Lotpaste aufgesetzt werden und
- die Lotpaste umgeschmolzen wird.

8. Verfahren nach Anspruch 6 oder 7,

d a d u r c h g e k e n n z e i c h n e t , daß

- der Leitleber (11) oder die Lotpaste in die Durchgangsöffnungen (9) eingerakelt wird.

9. Verfahren nach einem der Ansprüche 6 bis 8,

d a d u r c h g e k e n n z e i c h n e t , daß

- die Verfahrensschritte an einem Wafer durchgeführt werden und

12

- nach dem Aushärten des Leitklebers oder dem Umschmelzen der Lotpaste ein Zertrennen des Wafers unter Gewinnung der Halbleiterbauelemente erfolgt.

Belegexemplar
war nicht gezeichnet worden
98 P 4 13 7

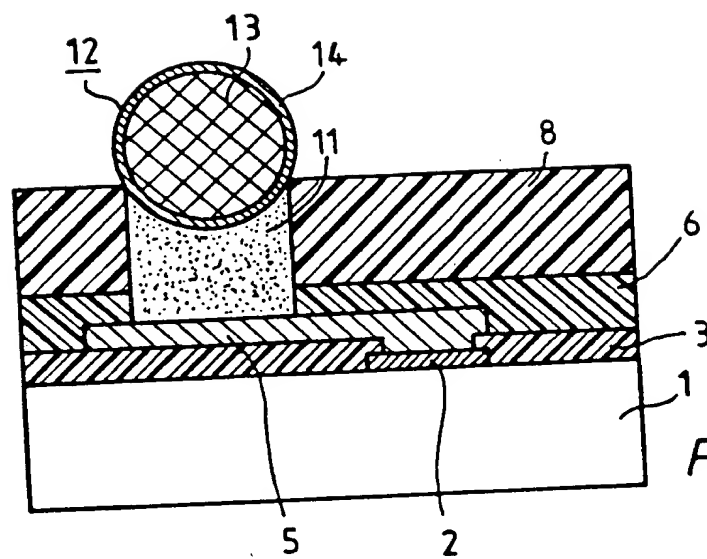


Fig. 9

B 14.07.97

Belegexemplar
Darf nicht geändert werden

17

1/2

98 P 4 1 3 7

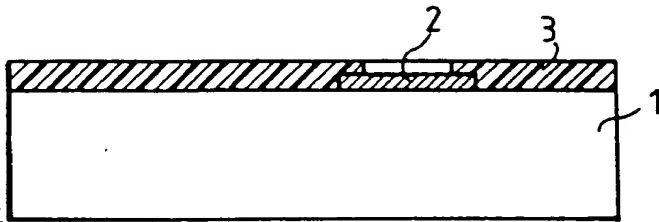


Fig. 1

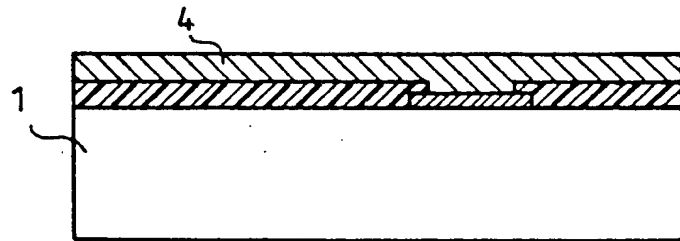


Fig. 2

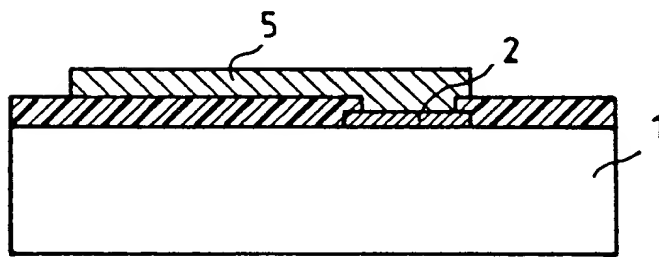


Fig. 3

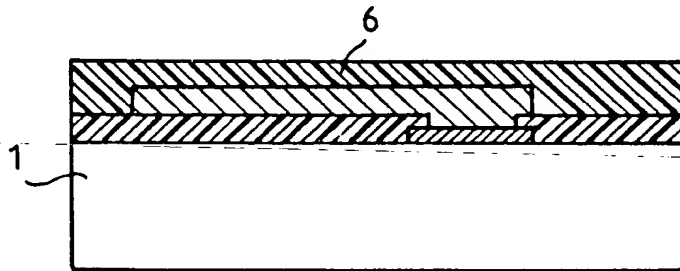


Fig. 4

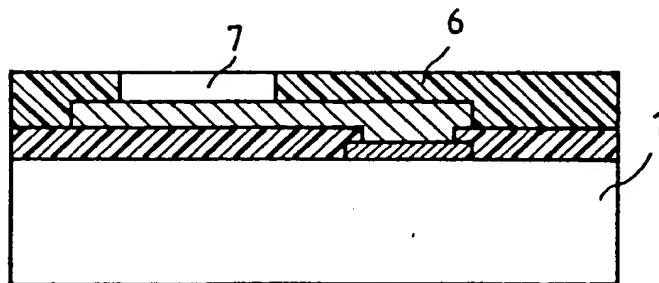


Fig. 5

212

98 P 4 1 3 7

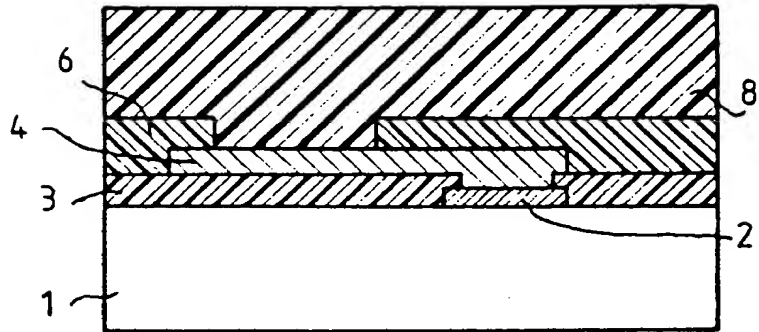


Fig. 6

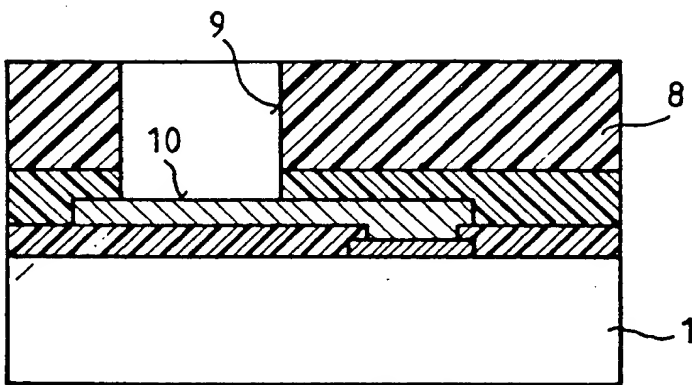


Fig. 7

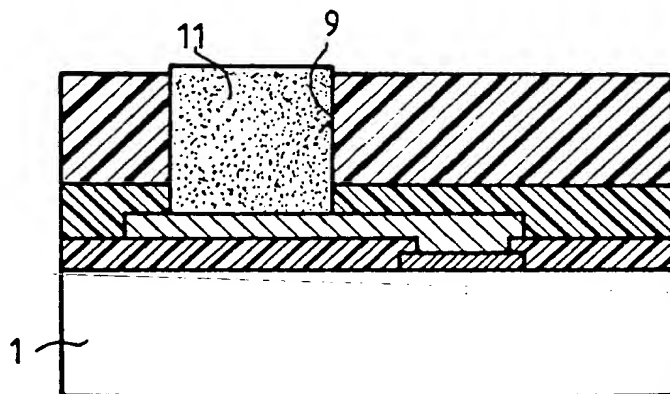


Fig. 8

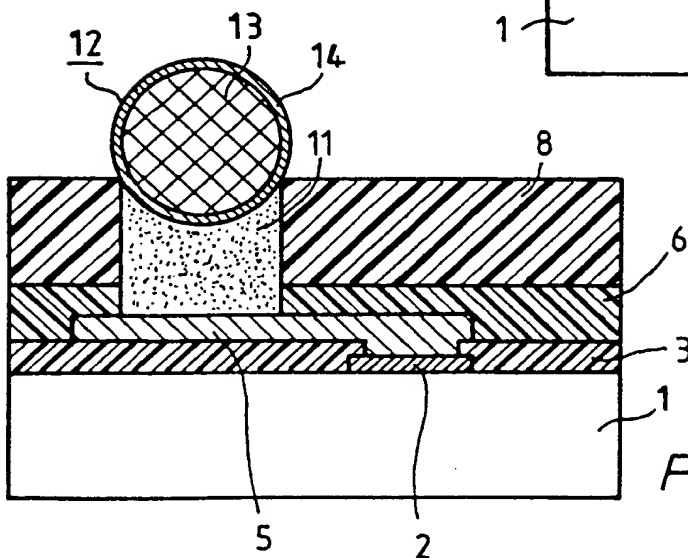


Fig. 9